

(19) **KOREAN INTELLECTUAL PROPERTY OFFICE**

KOREAN PATENT ABSTRACTS

(11)Publication number: **1020010059161**
 (43)Date of publication of application: **06.07.2001**
A

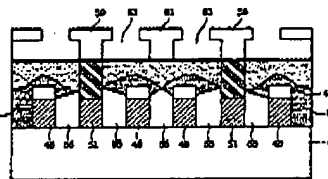
(21)Application number:	1019990066551	(71)Applicant:	HYNIX SEMICONDUCTOR INC.
(22)Date of filing:	30.12.1999	(72)Inventor:	LEE, BYEONG HAK
(51)Int. Cl	H01L 21/3213		

(54) METHOD FOR FORMING METALLIC WIRING OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for forming a metallic wiring of a semiconductor device is provided to form an air gap by using a photosensitive layer on a conductive wiring to improve RC delay characteristic.

CONSTITUTION: At first, the first metallic material (51) is formed on the first dielectric layer. Then, the second interlayer dielectric layer(43) and the first photosensitive pattern accumulated structure is formed on a via contact plug. The first metallic wiring as well as the first pillar(45) are formed by etching the first interlayer dielectric layer. The third



interlayer dielectric layer is formed on the overall surface and the first air gap is formed between the first metallic wiring and the first pillar. The third interlayer dielectric layer is etched back to expose the via contact plug. The forth interlayer dielectric layer(55) with a thickness same to the via contact plug is formed. The second photosensitive pattern(59) exposing the via contact plug as well as the forth interlayer dielectric layer is formed on the overall surface. At last, the second metallic wiring, the second pillar(61), and the second air gap(63) are formed by removing the second photosensitive pattern using the second metallic wiring mask.

COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (19991230)

Notification date of refusal decision ()
Final disposal of an application (registration)
Date of final disposal of an application (20020723)
Patent registration number (1003585700000)
Date of registration (20021015)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent ()
Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) . Int. Cl. 7
H01L 21/3213

(11) 공개번호 특2001 -0059161
(43) 공개일자 2001년07월06일

(21) 출원번호 10 -1999 -0066551
(22) 출원일자 1999년12월30일

(71) 출원인 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136 -1

(72) 발명자 이병학
경기도이천시대월면사동리현대전자사원아파트107 -103

(74) 대리인 이후동
이정훈

심사청구 : 있음

(54) 반도체소자의 금속배선 형성방법

요약

본 발명은 반도체소자의 금속배선 형성방법에 관한 것으로, 워드라인 및 비트라인이 구비되는 제1 절연막 상부에 제1 금속배선 물질을 형성하고 상기 제1 금속배선 물질에 접속되는 비아콘택플러그가 제2층간절연막 및 제1감광막패턴 적층 구조를 형성한 다음, 상기 제1 금속배선 마스크를 이용한 사진식각공정으로 상기 제1층간절연막을 노출시킬때까지 식각하여 제1금속배선 및 제1필라를 형성하고 상기 제1감광막패턴을 제거한 다음, 전체표면상부에 나쁜 단차피복비율을 갖는 제3층간절연막을 형성하는 동시에 상기 제1금속배선 및 제1필라 간에 제1에어갭을 형성하고 상기 제3층간절연막을 에치백하여 상기 비아콘택플러그를 노출시킨 다음, 상기 비아콘택플러그와 같은 높이의 제4층간절연막을 형성하고 전체표면상부에 상기 비아콘택플러그 및 제4층간절연막을 노출시키는 제2감광막패턴을 형성한 다음, 상기 제2금속배선 마스크를 이용한 사진식각공정과 상기 제2감광막패턴을 제거하는 공정으로 상기 비아콘택플러그 및 제4층간절연막에 접속되는 제2금속배선, 제2필라 및 제2에어갭을 형성하는 공정으로 다층 도전배선에서도 반도체소자의 고속화를 가능하게 하는 기술이다.

대표도
도 3g

명세서

도면의 간단한 설명

도 1 은 종래기술의 제1실시예에 따른 반도체소자의 금속배선 형성방법을 도시한 단면도.

도 2 는 종래기술의 제2실시예에 따른 반도체소자의 금속배선 형성방법을 도시한 단면도.

도 3a 내지 도 3g 는 본 발명의 실시예에 따른 반도체소자의 금속배선 형성방법을 도시한 단면도.

< 도면의 주요부분에 대한 부호의 설명 >

11,31,41 : 제1충간절연막 13,35,51 : 제1필라

15,51 : 제1금속배선 17 : 에어갭

19,49 : 비아콘택플러그 21,33,43 : 제2충간절연막

23,37,53 : 제3충간절연막 25,55 : 제4충간절연막

27,59 : 제2금속배선 42 : 제1금속배선 물질

45 : 제1필라 47 : 제1감광막패턴

57 : 제2감광막 58 : 제2금속배선 물질

59 : 제2감광막패턴 61 : 제2필라

63 : 제2에어갭

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 제조시 금속배선 형성공정에서 제1차 금속배선과 제2차 금속배선 사이의 중간층 (interlayer) 유전체로 감광막을 이용하여 계속되는 후속 공정에서 이 감광막을 제거함으로써 금속배선 사이의 중간층 유전체를 제거하는 방법으로 유전율을 감소시켜 소자의 동작시 RC 딜레이를 최소화시키는 제조방법에 관한 것이다.

유.엘.에스.아이. (ULSI, ultra large scaling integrated) 소자 제조작에서 집적회로 소자의 전체 크기가 작아지고 집적회로 소자의 구성체인 트랜지스터의 수가 증가함에 따라, 이들 트랜지스터를 상호 연결하는 금속배선의 피치 (pitch) 가 작아지고 길이가 증가하게 된다.

이러한 디멘전 (dimension) 감소는 집적회로의 동작시 RC 딜레이의 증가를 가져와 속도를 감소시키는 특성을 나타내게 한다.

이러한 RC 딜레이의 증가특성을 감소시키기 위해 금속배선간의 금속간 유전체의 커패시턴스를 줄이기 위한 노력이 많이 진행되어 왔다.

금속간 절연막 유전체의 커패시턴스를 감소시키는 방법으로 로우 -케이층 (low -k layer) 을 사용하여 유전체의 유전율을 낮추는 방법이 널리 사용되어지고 있으며, 적은 유전체를 가지는 물질로는 SiOF ($k < 3.8$) 와 오거닉 ($k < 3.0$) 등이 사용되어지고 있다.

그러나, 이러한 로우-케이층 물질은 열에 대한 안정성, 다층 물질간의 접합력 등의 문제를 안고 있으며, 이러한 문제를 개선하기 위하여 기타 로우-케이층 물질을 사용하지 않고 일반적인 SiO₂를 이용하여 유전율을 낮추기 위하여 에어갭 (air gap) 구조가 활발히 개발되어지고 있다.

상기 에어갭 구조는 $k > 2.0$ 정도의 작은 값으로 금속배선에 의한 RC 딜레이를 최소화할 수 있는 장점이 있다.

도 1 은 종래기술의 제1실시에 따른 반도체소자의 금속배선 형성방법을 도시한 단면도이다.

먼저, 반도체기판(도시안됨) 상부에 워드라인 및 비트라인을 형성하고 그 상부를 평탄화시키는 제1충간절연막(11)을 형성한다.

이때, 상기 제1충간절연막(11)은 BPSG 와 같이 유동성이 우수한 절연물질로 형성한다.

그 다음, 상기 제1충간절연막(11)을 통하여 상기 반도체기판에 접속되는 제1금속배선 물질(도시안됨)을 전체표면상부에 형성한다.

그리고, 상기 제1금속배선 물질 상부에 제2충간절연막(21)을 일정두께 형성한다.

이때, 상기 제2충간절연막(21)은 실리콘산화막으로 형성한 것이다.

그 다음, 제1금속배선 마스크(도시안됨)를 이용한 사진식각공정으로 상기 제1금속배선 물질 및 그 상부의 제2충간절연막을 패터닝하여 제1금속배선(15)과 필라 (pillar) (13)를 형성한다.

여기서, 상기 필라(13)는 일종의 더미패턴으로서 후속공정으로 실시되는 충간절연막의 증착공정시 상기 필라(13) 사이에 에어갭이 형성되도록 하는 역할을 한다.

그 다음, 상기 제1금속배선(15)에 접속되는 비아 콘택플러그(19)를 형성한다.

그리고, 전체표면상부에 제3충간절연막(23)을 형성한다. 이때, 상기 제3충간절연막(23)은 단차피복비가 나쁜 PECVD 방법으로 형성하여 상기 필라(13) 사이에 에어갭(17)이 형성될 수 있도록 증착공정을 실시한다.

그리고, 상기 제3충간절연막(23)을 에치백하여 상기 콘택플러그(19)를 노출시킨다.

그리고, 전체표면상부를 평탄화시키는 제4충간절연막(25)을 형성한다.

이때, 상기 제4충간절연막(25)은 BPSG 와 같이 유동성이 우수한 절연물질로 형성한다.

그 다음, 상기 제4충간절연막(25)을 평탄화식각하여 상기 비아 콘택플러그(19)를 노출시킨다.

그리고, 상기 비아콘택플러그(19)에 접속되는 제2금속배선(27)을 형성함으로써 금속배선을 형성한다. (도 1)

도 2 는 종래기술의 제2실시에 따른 반도체소자의 금속배선 형성방법을 도시한 단면도이다.

먼저, 반도체기판(도시안됨) 상부에 워드라인 및 비트라인을 형성하고 그 상부를 평탄화시키는 제1충간절연막(31)을 형성한다.

이때, 상기 제1충간절연막(31)은 BPSG 와 같이 유동성이 우수한 절연물질로 형성한다.

그 다음, 상기 제1충간절연막(31) 상부에 제2충간절연막(33)을 일정두께 형성한다.

이때, 상기 제2층간절연막(33)은 포엄 (foam) 이나 제로겔 (xerogels) 과 같은 폴리머 (polymer) 를 이용하여 형성한다. 여기서, 상기 포엄 (foam) 이나 제로겔 (xerogels) 등과 같은 폴리머는 열을 받으면 휘발성을 갖는 성질을 가져 열공정시 증발된다.

그 다음, 상기 제2층간절연막(33)을 패터닝하여 금속배선이 형성될 부분을 노출시킨다.

그리고, 상기 제2층간절연막(33) 패턴 사이를 포함한 전체표면상부에 금속배선 물질을 증착하고 이를 평탄화식각하여 상기 제2층간절연막(33) 패턴 간을 매립하는 금속배선(35)을 형성한다.

그리고, 전체표면상부에 제3층간절연막(37)을 형성한다. 이때, 상기 제3층간절연막(37)은 산화막으로 형성한다.

그리고, 후속공정으로 열처리공정으로 상기 제2층간절연막(33)에 함유되어 있는 폴리머를 상기 제3층간절연막(37) 쪽으로 유출시켜 상기 제2층간절연막(33)의 자리에 에어갭(도시안됨)을 형성한다. (도 2)

상기한 바와같이 종래기술에 따른 반도체소자의 금속배선 형성방법은, 반도체소자의 RC 딜레이 특성을 향상시키는 효과를 가지고는 있으나, 현재 다층구조를 갖는 공정에서는 여전히 높은 유전율을 가지게 되어 RC 딜레이에 의한 영향을 받고 있어 반도체소자의 특성 및 신뢰성을 저하시키며 그에 따른 반도체소자의 고정적화를 어렵게 하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위하여, 다층구조를 갖는 도전배선에 감광막을 이용하여 에어갭을 형성함으로써 RC 딜레이 특성을 향상시킬 수 있는 반도체소자의 금속배선 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 금속배선 형성방법은,

위드라인 및 비트라인이 구비되는 제1 절연막 상부에 제1금속배선 물질을 형성하는 공정과,

상기 제1금속배선 물질에 접속되는 비아콘택플러그가 제2층간절연막 및 제1감광막패턴 적층구조를 형성하는 공정과,

상기 제1금속배선 마스크를 이용한 사진식각공정으로 상기 제1층간절연막을 노출시킬때까지 식각하여 제1금속배선 및 제1필라를 형성하는 공정과,

상기 제1감광막패턴을 제거하고 전체표면상부에 나쁜 단차피복비를 갖는 제3층간절연막을 형성하는 동시에 상기 제1금속배선 및 제1필라 간에 제1에어갭을 형성하는 공정과,

상기 제3층간절연막을 에치백하여 상기 비아콘택플러그를 노출시키는 공정과,

상기 비아콘택플러그와 같은 높이의 제4층간절연막을 형성하는 공정과,

전체표면상부에 상기 비아콘택플러그 및 제4층간절연막을 노출시키는 제2감광막패턴을 형성하는 공정과,

상기 제2금속배선 마스크를 이용한 사진식각공정과 상기 제2감광막패턴을 제거하는 공정으로 상기 비아콘택플러그 및 제4층간절연막에 접속되는 제2금속배선, 제2필라 및 제2에어갭을 형성하는 공정을 포함하는 것을 특징으로 한다.

이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.

도 3a 내지 도 3g 는 본 발명의 실시예에 따른 반도체소자의 금속배선 형성방법을 도시한 단면도이다.

먼저, 반도체기판(도시안됨) 상부에 워드라인 및 비트라인을 형성하고 그 상부를 평탄화시키는 제1충간절연막(41)을 형성한다.

이때, 상기 제1충간절연막(41)은 BPSG 와 같이 유동성이 우수한 절연물질로 형성한다.

그 다음, 상기 제1충간절연막(41)을 통하여 상기 반도체기판에 접속되는 제1금속배선 물질(42)을 전체표면상부에 형성한다.

그리고, 상기 제1금속배선 물질(42) 상부에 제2충간절연막(43)을 일정두께 형성한다.

이때, 상기 제2충간절연막(43)은 실리콘산화막으로 형성한 것이다. (도 3a)

그 다음, 상기 제2충간절연막(43) 상부에 제1감광막패턴(47)을 형성한다.

이때, 상기 제1감광막패턴(47)은 제1비아콘택트마스크(도시안됨)를 이용한 노광 및 현상공정으로 형성한다.

그 다음, 상기 제1금속배선 물질(42)을 노출시키는 비아콘택식각공정을 실시한다.

그리고, 상기 제1금속배선 물질(42)에 접속되는 비아콘택플러그(49)를 형성한다.

이때, 상기 비아콘택플러그(49)는 상기 제1금속배선 물질(42)에 접속되도록 전체표면상부에 형성하고 상기 제1감광막패턴(47)이 노출될때까지 에치백하여 형성한다. (도 3b)

그 다음, 상기 제1충간절연막(41)이 노출되도록 제1금속배선 마스크(도시안됨)를 이용한 사진식각공정으로 패터닝하여 제1금속배선(51)을 형성한다.

이때, 상기 제1금속배선 마스크는 에어갭을 형성할 수 있는 구조의 필라 (pillar) 가 디자인 (degine) 된 것으로서, 이를 이용한 식각공정으로 제1금속배선(51) 외에 제1필라(45)가 형성된다. (도 3c)

그 다음, 상기 제1감광막패턴(47)을 제거하고, 전체표면상부에 제3충간절연막(53)을 형성한다.

이때, 상기 제3충간절연막(53)은 PECVD 방법으로 형성한 산화막으로서 증착공정시 나쁜 단차피복비로 인하여 상기 제1필라(45) 및 제1금속배선(51) 사이에 제1에어갭(55)이 형성된다.

그 다음, 상기 제3충간절연막(53)을 에치백하여 상기 비아콘택플러그(49)를 노출시킨다.

그리고, 전체표면상부에 제4충간절연막(55)을 형성한다. 그리고, 이를 에치백하여 상기 비아콘택플러그(49)의 상부면을 노출시킨다. (도 3d)

그 다음, 전체표면상부에 제2감광막(57)패턴을 형성하여 상기 비아콘택플러그(49)를 노출시키는 동시에 제4충간절연막(55)을 노출시킨다.

이때, 상기 제2감광막(57)패턴은 전체표면상부에 제2감광막(57)을 도포하고 상기 비아콘택플러그(49)가 노출되도록 제2비아콘택트마스크(도시안됨)를 이용한 노광 및 현상공정으로 형성한 것이다. 여기서, 상기 제2비아콘택트마스크는 제2금속배선 마스크를 이용한 제2금속배선 형성공정시 에어갭이 형성될 수 있도록 비아콘택플러그가 구비되지 않는 영역에도 상기 제4충간절연막(55)을 노출시킬 수 있도록 디자인된 것이다.

그 다음, 상기 전체표면상부에 제2금속배선 물질(58)을 형성하고, 이를 제2금속배선 마스크(도시안됨)를 이용한 사진식각공정으로 식각하여 제2금속배선(59) 및 제2필라(61)를 형성한다.

그리고, 상기 제2필라(61) 및 제2금속배선(59) 사이의 제2감광막(57) 패턴을 제거하여 제2에어갭(63)을 형성한다.

여기서, 상기 제2감광막(57) 패턴의 제거공정은 유기용매를 이용하게 제거하거나 건식식각공정으로 제거한다. (도 3e, 도 3f, 도 3g)

발명의 효과

이상에서 설명한 바와같이 본 발명에 따른 반도체소자의 금속배선 형성방법은, 상기한 바와같이 본 발명에 따른 반도체소자의 금속배선 형성방법은, 금속배선과 유전체 상호간의 RC 딜레이에 의한 속도 감소를 방지하기 위하여 다층구조를 갖는 도전배선 형성공정에도 에어갭을 형성함으로써 반도체소자의 고집적화에 충분한 회로의 고속화를 가능하게 하는 효과를 제공한다.

(57) 청구의 범위

청구항 1.

위드라인 및 비트라인이 구비되는 제1 절연막 상부에 제1금속배선 물질을 형성하는 공정과,

상기 제1금속배선 물질에 접속되는 비아콘택플러그가 제2충간절연막 및 제1감광막패턴 적층구조를 형성하는 공정과,

상기 제1금속배선 마스크를 이용한 사진식각공정으로 상기 제1충간절연막을 노출시킬때까지 식각하여 제1금속배선 및 제1필라를 형성하는 공정과,

상기 제1감광막패턴을 제거하고 전체표면상부에 나쁜 단차피복비를 갖는 제3충간절연막을 형성하는 동시에 상기 제1금속배선 및 제1필라 간에 제1에어갭을 형성하는 공정과,

상기 제3충간절연막을 에치백하여 상기 비아콘택플러그를 노출시키는 공정과,

상기 비아콘택플러그와 같은 높이의 제4충간절연막을 형성하는 공정과,

전체표면상부에 상기 비아콘택플러그 및 제4충간절연막을 노출시키는 제2감광막패턴을 형성하는 공정과,

상기 제2금속배선 마스크를 이용한 사진식각공정과 상기 제2감광막패턴을 제거하는 공정으로 상기 비아콘택플러그 및 제4충간절연막에 접속되는 제2금속배선, 제2필라 및 제2에어갭을 형성하는 공정을 포함하는 반도체소자의 금속배선 형성방법.

청구항 2.

제 1 항에 있어서,

상기 제2충간절연막은 실리콘산화막인 것을 특징으로하는 반도체소자의 금속배선 형성방법.

청구항 3.

제 1 항에 있어서,

상기 제3충간절연막은 PECVD 산화막인 것을 특징으로하는 반도체소자의 금속배선 형성방법.

청구항 4.

제 1 항에 있어서,

상기 제2감광막패턴의 제거공정은 유기용액을 이용하여 실시하는 것을 특징으로하는 반도체소자의 금속배선 형성방법

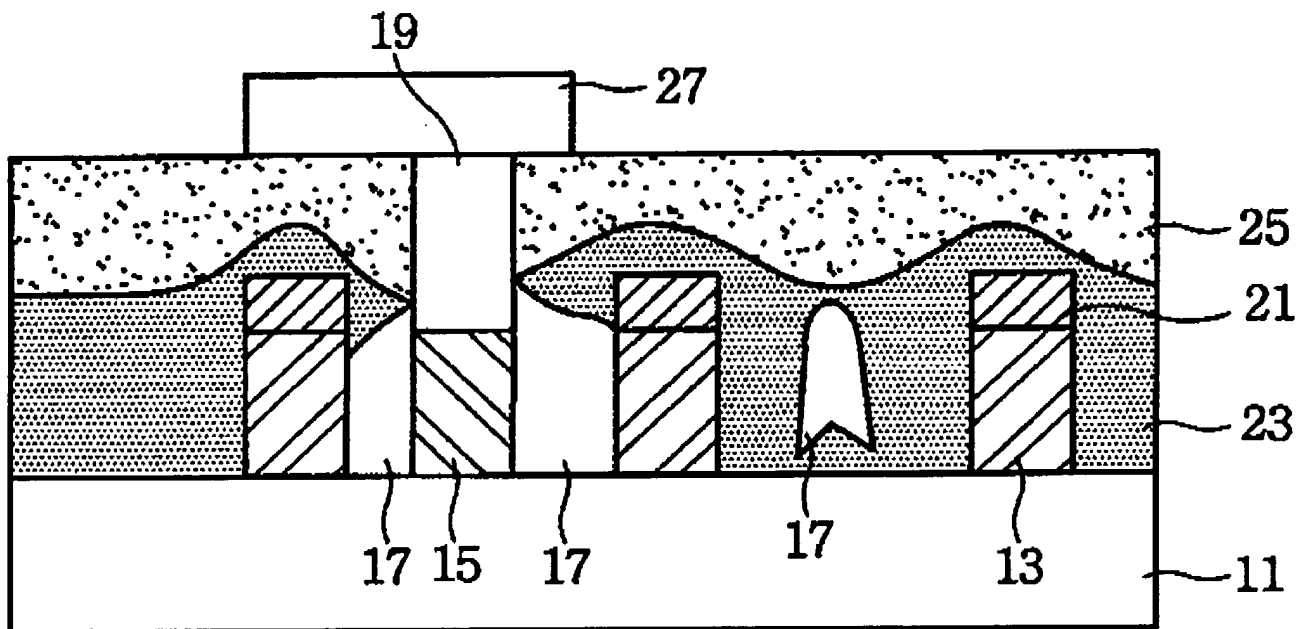
청구항 5.

제 1 항에 있어서,

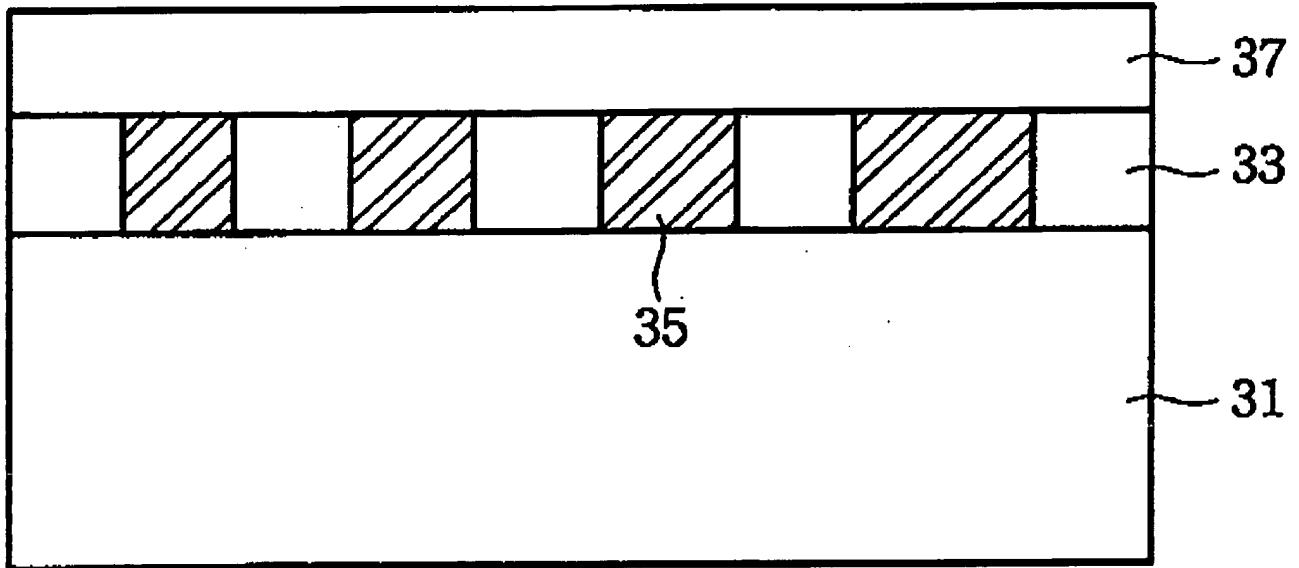
상기 제2감광막패턴의 제거공정은 건식식각공정으로 실시하는 것을 특징으로하는 반도체소자의 금속배선 형성방법.

도면

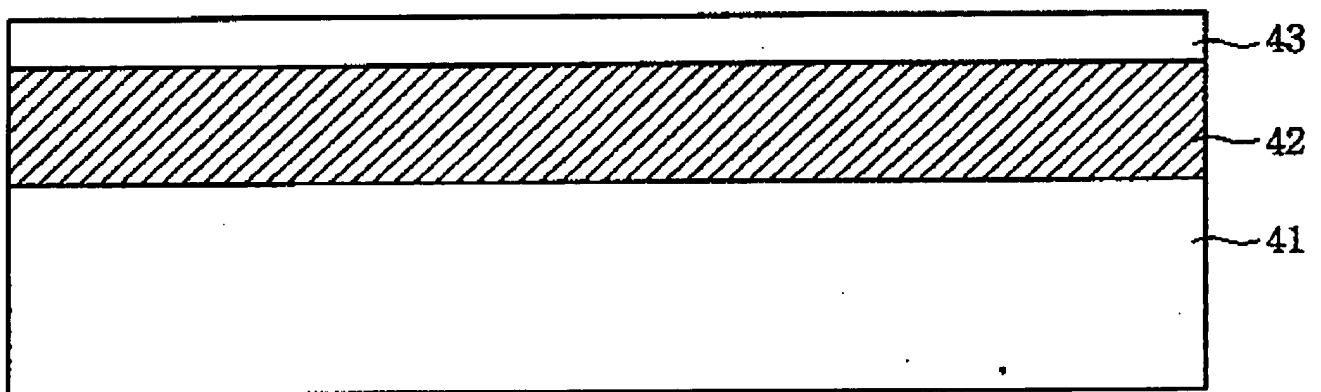
도면 1



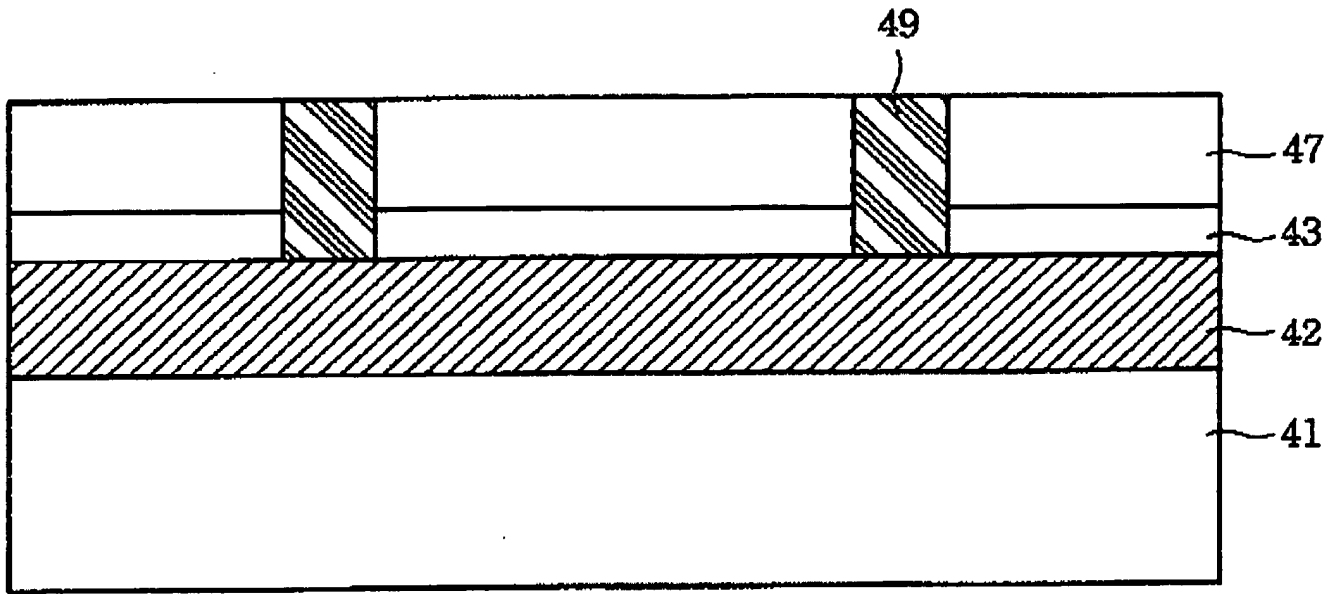
도면 2



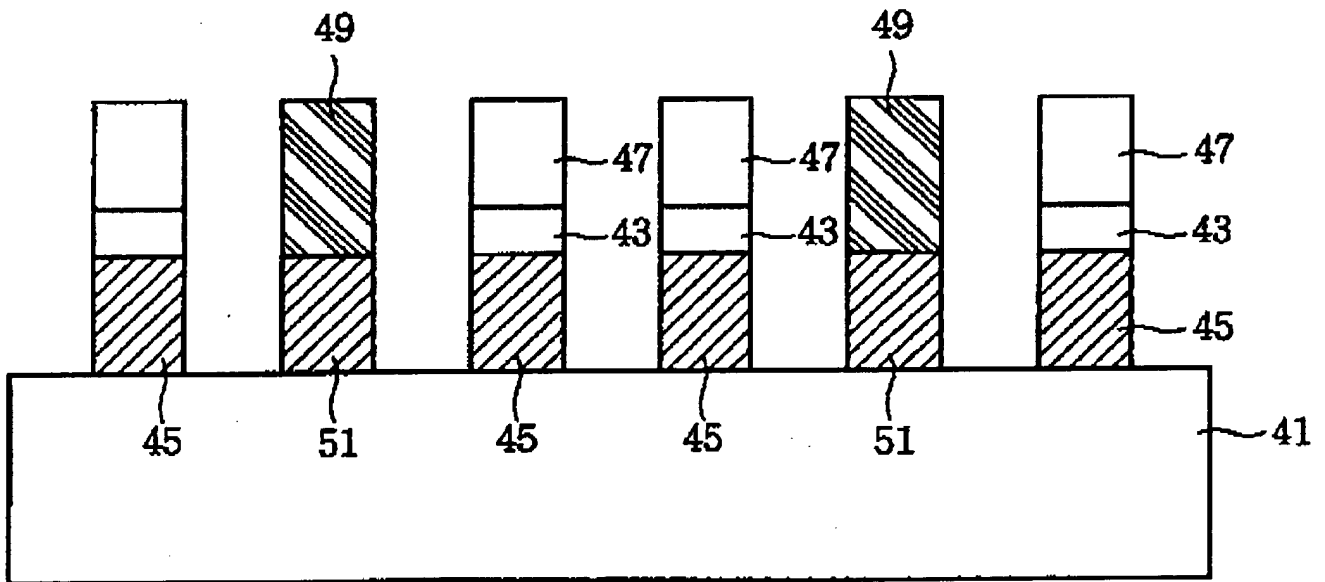
도면 3a



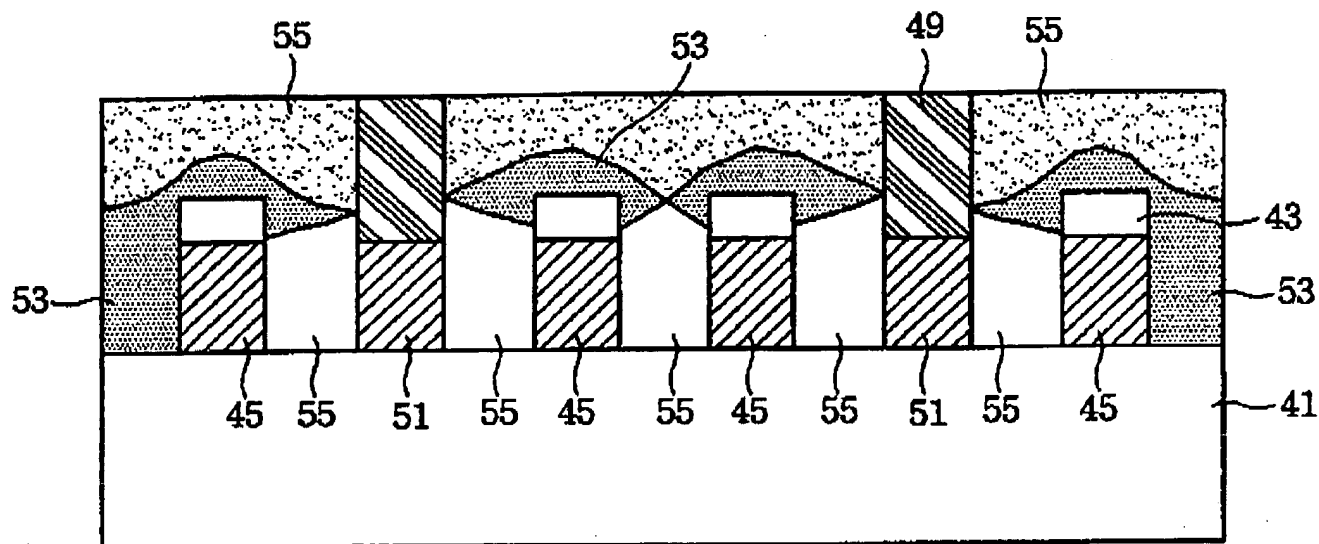
도면 3b



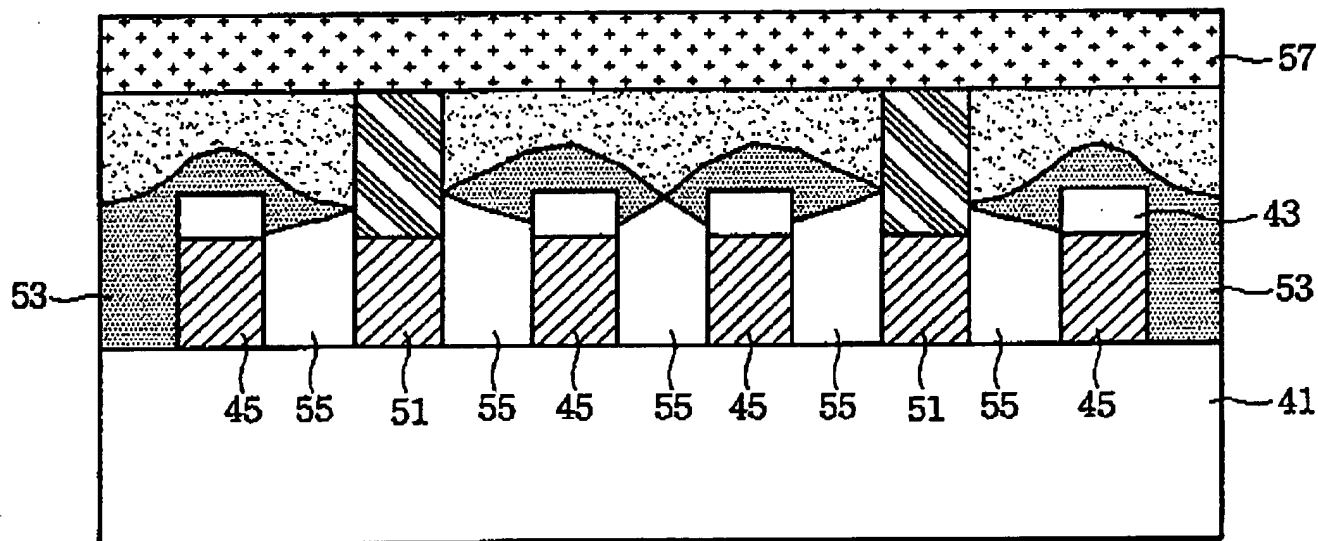
도면 3c



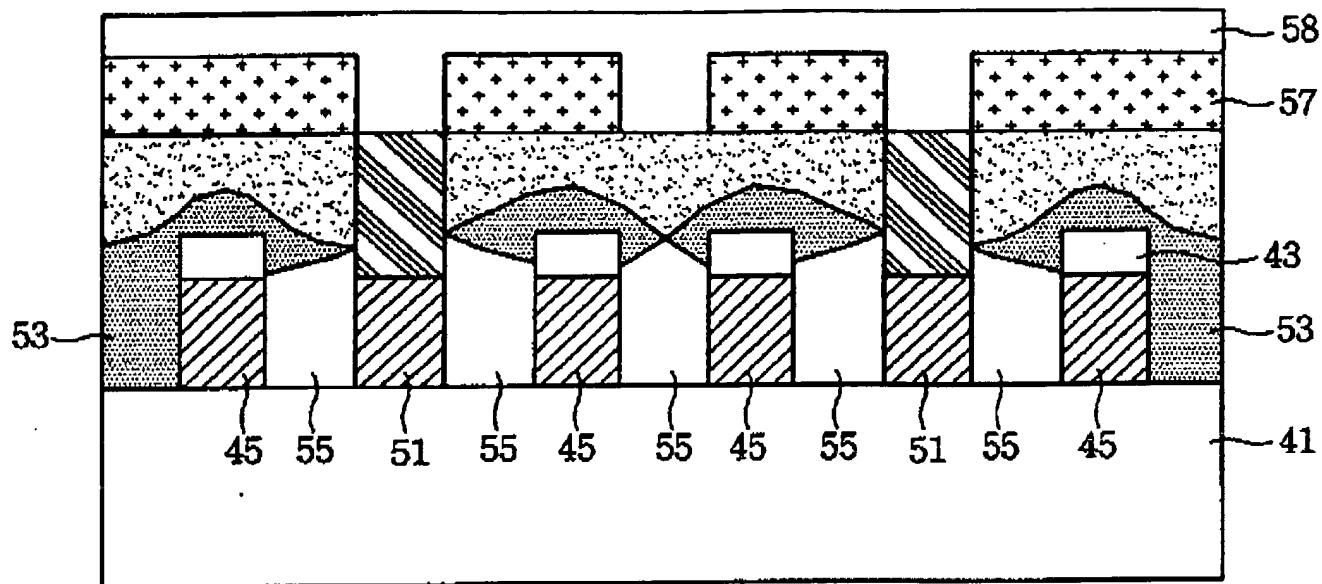
도면 3d



도면 3e



도면 3f



도면 3g

